



PCT

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類6 H01J 1/30, H01L 27/06	A1	(11) 国際公開番号 WO99/49491 (43) 国際公開日 1999年9月30日(30.09.99)
(21) 国際出願番号 PCT/JP99/01423 (22) 国際出願日 1999年3月19日(19.03.99) (30) 優先権データ 特願平10/73828 1998年3月23日(23.03.98) JP 特願平10/298250 1998年10月20日(20.10.98) JP (71) 出願人(米国を除くすべての指定国について) 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.)(JP/JP) 〒571-8501 大阪府門真市大字門真1006番地 Osaka, (JP) (72) 発明者; および (75) 発明者/出願人(米国についてのみ) 古賀啓介(KOGA, Kcisque)(JP/JP) 〒611-0021 京都府宇治市宇治半白101-50 Kyoto, (JP) (74) 代理人 弁理士 山本秀策(YAMAMOTO, Shusaku) 〒540-6015 大阪府大阪市中央区城見一丁目2番27号 クリスタルタワー15階 Osaka, (JP)	(81) 指定国 KR, US, 欧州特許(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE) 添付公開書類 国際調査報告書 請求の範囲の補正の期限前の公開; 補正書受領の際には再公開される。	
<p>(54)Title: FIELD-EMISSION ELECTRON SOURCE</p> <p>(54)発明の名称 電界放出型電子源装置</p> <p>(57) Abstract</p> <p>A field-emission electron source which comprises a field-emission electron source part formed on a p-type silicon substrate (1) and an n-channel field-effect transistor part formed on the p-type silicon substrate (1) in a position corresponding to the field-emission electron source part and in which the field-emission electron source part is provided in the drain region of the field-effect transistor part, and the field-emission current from the field-emission source part is controlled by a control voltage applied to the gate electrode (8) of the field-effect transistor part, wherein the drain region includes at least two wells (3, 4) with different impurity concentrations, the well (4) having the lower impurity concentration is provided at an end part of the drain region provided in contact with the channel region of the field-effect transistor part.</p> <div style="display: flex; justify-content: space-around; align-items: flex-start;"> <div style="text-align: center;"> <p>(a)</p> </div> <div style="text-align: center;"> <p>(b)</p> </div> </div>		

(57)要約

p 型シリコン基板 (1) 上に形成された電界放出電子源部と、該電界放出電子源部に対応して該 p 型シリコン基板 (1) 上に形成された n チャネル電界効果トランジスタ部と、を備え、該電界効果トランジスタ部のドレイン領域に該電界放出電子源部が形成されており、該電界効果トランジスタ部のゲート電極 (8) に印加される制御電圧により、該電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置において、該ドレイン領域が、不純物濃度の異なる少なくとも 2 種類のウエル (3, 4) を含み、該少なくとも 2 種類のウエルのうちで不純物濃度の低いウエル (4) が、該電界効果トランジスタ部のチャネル領域に接する該ドレイン領域の端部に形成されている。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	RU ロシア
AL アルバニア	EE エストニア	LC セントルシア	SD スーダン
AM アルメニア	ES スペイン	LI リヒテンシュタイン	SE スウェーデン
AT オーストリア	FI フィンランド	LK スリ・ランカ	SG シンガポール
AU オーストラリア	FR フランス	LR リベリア	SI スロヴェニア
AZ アゼルバイジャン	GA ガボン	LS レソト	SK スロヴァキア
BA ボスニア・ヘルツェゴビナ	GB 英国	LT リトアニア	SL シェラ・レオネ
BB バルバドス	GD グレナダ	LU ルクセンブルグ	SN セネガル
BE ベルギー	GE グルジア	LV ラトヴィア	SZ スワジランド
BF ブルキナ・ファソ	GH ガーナ	MA モロッコ	TD チャード
BG ブルガリア	GM ガンビア	MC モナコ	TG トーゴ
BJ ベナン	CN ギニア	MD モルドヴァ	TJ タジキスタン
BR ブラジル	GW ギニア・ビサウ	MG マダガスカル	TZ タンザニア
BY ベラルーシ	GR ギリシャ	MK マケドニア旧ユーゴスラヴィア	TM トルクメニスタン
CA カナダ	HR クロアチア	共和国	TR トルコ
CF 中央アフリカ	HU ハンガリー	マリ	TT トリニダード・トバゴ
CG コンゴ	ID インドネシア	MN モンゴル	UA ウクライナ
CH スイス	IE アイルランド	MR モーリタニア	UG ウガンダ
CI コートジボアール	IL イスラエル	MW マラウイ	US 米国
CM カメルーン	IN インド	MX メキシコ	UZ ウズベキスタン
CN 中国	IS アイスランド	NE ニジェール	VN ヴィエトナム
CR コスタ・リカ	IT イタリア	NL オランダ	YU ユーゴスラビア
CU キューバ	JP 日本	NO ノールウェー	ZA 南アフリカ共和国
CY キプロス	KE ケニア	NZ ニュー・ジーランド	ZW ジンバブエ
CZ チェコ	KG キルギスタン	PL ポーランド	
DE ドイツ	KP 北朝鮮	PT ポルトガル	
DK デンマーク	KR 韓国	RO ルーマニア	

明 細 書

電界放出型電子源装置

5 技術分野

本発明は、電子線励起のレーザ、平面型の表示素子、及び超高速の微小真空素子等への応用が期待される冷陰極電子源に係わり、特に集積化及び低電圧化が実現可能な半導体応用の電界放出型電子源及びその製造方法に関するものである。

10 背景技術

半導体微細加工技術の進展により微小な冷陰極構造の形成が可能になったことから、真空マイクロエレクトロニクス技術の開発が盛んになりつつある。これによって得られる微小冷陰極構造は、平面型の電子放出特性や高い電流密度が期待できることから、特に次世代フラットディスプレイの電子源として期待が集まっている。また、動作温度がTFT-LCD等の液晶表示方式に比べて広範囲であるため、車載用の耐環境ディスプレイとしても実用化が望まれている。

15

これらの電子源をフラットディスプレイの用途として用いるためには、動作電圧の低減、電子放出特性の安定化や長寿命特性等の要求仕様を満足する必要がある。特に、電子放出特性の安定化はディスプレイの輝度としての基本性能に直接係わる問題であり、重要な技術課題として位置づけられている。

20

この課題に対し、電子源内部に抵抗層を挿入する方法や定電流回路を内蔵する方法などが提案されている。

以下、第1の従来例として、特開平8-87957号公報に記載されている電界放射冷陰極装置の構成を、図8(a)及び8(b)を参照して説明する。この第1の従来例では、電界放射陰極素子のエミッタ電子流放射量を電界効果トランジスタ(FET)の定電流特性を用いて一定化させる原理を用いている。図8

25

(a) は、1つの電界放射陰極素子及びFETが構成されているシリコン基板の一部の断面図であり、(b) は、電界放射陰極素子を含む部分の電氣的等価回路を示す回路構成図である。

図8(a)及び8(b)において、810は電界効果トランジスタ(FET)、801はp型シリコン基板、802はFET810のソースとなる第1のn型層、803は電界放射陰極素子の円錐形エミッタ、804'は絶縁層(SiO_2 層)804のうちで電界放射陰極素子のゲート絶縁層として機能する部分、805は電界放射陰極素子のゲート層、806はFET810のドレインとなる第2のn型層、807はFET810のソース電極、808はFET810のゲート電極、809は電界放射陰極素子のアノード、811はソース抵抗、812はゲート電圧源(電圧値 V_g)、813はアノード電圧源(電圧値 V_a)、814はゲートソース間制御電圧源(電圧値 V_{gs})である。

図8(b)に示すように電界放射陰極素子は、アノード(A)809、ゲート(G)805、エミッタ(E)803を備えた3極管を構成し、エミッタ(E)803と接地との間にFET810のドレインソース経路とソース抵抗811とが直列接続される。

この3極管において、アノード(A)809は、アノード電圧 V_a を発生するアノード電圧源813に接続され、ゲート(G)805は、固定のゲート電圧 V_g を発生するゲート電圧源812に接続される。FET810において、ゲート808は、可変のゲートソース間制御電圧 V_{gs} を発生するゲートソース間制御電圧源814に接続される。

この電界放射陰極装置に用いられる電界放射陰極素子では、アノード809に所定のアノード電圧 V_a を、ゲート805に所定のゲート電圧 V_g をそれぞれ印加し、FET810のゲート808に所要の値のゲートソース間電圧 V_{gs} を印加すれば、エミッタ803を加熱することなく、エミッタ803からエミッタ電子流放射が行われる。この場合、電界放射陰極素子のエミッタ電子流放射量は、

ゲート 805 に印加される固定のゲート電圧 V_g によって制御されるのではなく、エミッタ 803 に接続される FET 810 のゲート 808 に印加される可変ゲートソース間制御電圧 V_{gs} によって、制御される。即ち、FET 810 は、そのゲート 808 に印加されるゲートソース間制御電圧 V_{gs} を適切にすることによって、定電流領域で動作するようになる。

このように、エミッタから電界放射される電子流放射量は、このエミッタに直列に接続されて放射される電子を供給する機能を持つ FET の特性によって、決定される。従って、FET の設計を最適に行うことによって、FET の動作条件と電界放射電子流量とをあらかじめ設計することが可能になる。特に、FET の飽和動作領域で電界放射を行うことで、エミッタ自身の不安定要因から開放され、結果として、極めて安定で且つ正確に制御された電界放射電子流量を得ることができる。

冷陰極に要求される仕様として、ディスプレイ用途としては、特に高精細化も重要な要素となる。一般に、マイクロチップ型の冷陰極構成の場合、エミッタから放出される電子は所定の広がり角を有しているために、高精細表示を行う上で障害となる可能性がある。この電子軌道の広がりを抑制する手段の一つとして、収束電極を用いる構成が提案されている。図 9 に、第 2 の従来例として、特開平 10-74473 号公報に開示されている、このような方式の FED の一構成例を示す。

この FED では、各エミッタ毎に第 2 のゲート電極（収束電極）を形成し、このゲート電極に、第 1 のゲート電極（引き出しゲート電極）に対して相対的に負の電位を与えることによって、エミッタから放出される電子を収束させる。

すなわち、図 9 において、91 は絶縁層であり、ゲート電極（引き出し電極）92 の上に更に絶縁層 93 を設け、その上に円形の開口部を有する第 2 のゲート電極（収束電極）94 を設けている。この従来例においては、第 2 のゲート電極（収束電極）94 は、各エミッタ 95 を取り囲む様に設けられている。この第 2

のゲート電極（収束電極）94を、第1のゲート電極（引き出しゲート電極）92よりも低電位とすることにより、エミッタから放出された電子が収束効果のレンズ作用を受けて、電子ビームの軌道が収束される。

ところが、前記第1の従来例の電界放射型陰極素子は、電界放射電子流量を短期間安定に制御することは可能であるが、動作条件によっては長期間にわたって安定性を確保することができない。

また、第2の従来例の電界放出型表示装置では、電子ビームの収束機能は有するが、その一方で、エミッタから放出される電子の量が低下するという欠点を有している。

発明の開示

本発明は、上記の課題を解決するためになされたものであり、その目的は、

（1）次世代ディスプレイに要求される高信頼性動作を実現する電界放出型電子源構造を得ること、（2）高精細化を図る上で高密度で安定な動作を実現する電界放出型電子源構造を得ること、並びに（3）更に高精細化が可能なビーム収束作用を有する電界放出型電子源構造を得ること、である。

本発明のある局面によって提供される装置は、p型シリコン基板上に絶縁膜を介して形成されていて且つ陰極形成領域に相当する箇所に開口部を有する引き出し電極と、該p型シリコン基板上であって該引き出し電極の開口部に相当する位置に形成された陰極部と、を含む電界放出電子源部と、該電界放出電子源部に対応して該p型シリコン基板上に形成されたnチャネル電界効果トランジスタ部と、を備え、該電界効果トランジスタ部のドレイン領域に該電界放出電子源部が形成されており、該電界効果トランジスタ部のゲート電極に印加される制御電圧により、該電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置であって、該ドレイン領域が、不純物濃度の異なる少なくとも2種類のウエルを含み、該少なくとも2種類のウエルのうちで不純物濃度の低いウエルが、該電界

効果トランジスタ部のチャネル領域に接する該ドレイン領域の端部に形成されている。

例えば、前記ドレイン領域に、不純物元素として、シリコン基板中での熱拡散速度の異なる少なくとも2種類のn型不純物元素が含まれ得る。

5 ある実施形態では、前記ドレイン領域に、不純物元素として、シリコン基板中での熱拡散速度が早い燐元素とシリコン基板中での熱拡散速度が遅い砒素元素とが含まれている。

本発明の他の局面によって提供される装置は、p型シリコン基板上に絶縁膜を介して形成されていて且つ陰極形成領域に相当する箇所に開口部を有する引き出し電極と、該p型シリコン基板上であって該引き出し電極の開口部に相当する位置に形成された陰極部と、を含む電界放出電子源部と、該電界放出電子源部に対応して該p型シリコン基板上に形成されたnチャネル電界効果トランジスタ部と、を備え、該電界効果トランジスタ部のドレイン領域に該電界放出電子源部が形成されており、該電界効果トランジスタ部のゲート電極に印加される制御電圧により、該電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置であって、該電界効果トランジスタ部の該ゲート電極が、少なくとも2種類の異なるゲート幅の部分を含む形状を有しており、該ゲート電極の一部が、該ドレイン領域の端部を覆うように配置されている。

20 本発明の更に他の局面によって提供される装置は、p型シリコン基板上に第1の絶縁膜を介して形成されていて且つ陰極形成領域に相当する箇所に開口部を有する引き出し電極と、該p型シリコン基板上であって該引き出し電極の開口部に相当する位置に形成された陰極部と、を含む電界放出電子源部と、該電界放出電子源部に対応して該p型シリコン基板上に形成されたnチャネル電界効果トランジスタ部と、を備え、該電界効果トランジスタ部のドレイン領域に該電界放出電子源部が形成されており、該電界効果トランジスタ部のゲート電極に印加される制御電圧により、該電界放出電子源部からの電界放射電流が制御される電界放出

型電子源装置であって、該電界効果トランジスタの該ゲート電極と該p型シリコン基板との間に形成されたゲート絶縁膜が、該引き出し電極と該p型シリコン基板との間に形成された該第1の絶縁膜より薄い膜で構成され、且つ該ゲート絶縁膜が該第1の絶縁膜によって埋め込まれた構成を有する。

5 前記ゲート絶縁膜が、前記電界放出電子源部の前記陰極部の先端を鋭い形状にするための先鋭化熱酸化処理工程で形成されたシリコン熱酸化膜から構成されていてよい。

本発明の更に他の局面によって提供される装置は、p型シリコン基板上に絶縁膜を介して形成されていて且つ陰極形成領域に相当する箇所に開口部を有する引き出し電極と、該p型シリコン基板上であって該引き出し電極の開口部に相当する位置に形成された陰極部と、を含む電界放出電子源部と、該電界放出電子源部に対応して該p型シリコン基板上に形成されたnチャネル電界効果トランジスタ部と、を備え、該電界効果トランジスタ部のドレイン領域に該電界放出電子源部が形成されており、該電界効果トランジスタ部のゲート電極に印加される制御電圧により、該電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置であって、該電界効果トランジスタ部の該ゲート電極と同一材料から構成された、該電界効果トランジスタ部のチャネル領域のうちで該ゲート電極によって覆われていない領域を覆うように配置されたシールド電極を更に備える。

好ましくは、前記シールド電極が、前記p型シリコン基板と同電位に保持されており、前記ゲート電極に起因しない外部電界の前記チャネル領域に対する影響を遮断する機能を有する。

本発明の更に他の局面によって提供される装置は、p型シリコン基板上に絶縁膜を介して形成されていて且つ陰極形成領域に相当する箇所に開口部を有する引き出し電極と、該p型シリコン基板上であって該引き出し電極の開口部に相当する位置に形成された陰極部と、を含む電界放出電子源部と、該電界放出電子源部に対応して該p型シリコン基板上に形成されたnチャネル電界効果トランジスタ

部と、を備え、該電界効果トランジスタ部のドレイン領域に該電界放出電子源部が形成されており、該電界効果トランジスタ部のゲート電極に印加される制御電圧により、該電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置であって、該電界効果トランジスタ部の該ドレイン領域が、該電界効果トランジスタ部のソース領域の内部に、該ソース領域で囲まれるように配置され、該電界効果トランジスタ部の該ゲート電極が、該電界放出電子源部の該陰極部に対して平面的に対称な配置構成を有する。

例えば、前記ドレイン領域がp型導電層からなる。

前記ドレイン領域のうちで、前記電界効果トランジスタ部の前記チャネル領域に接する外周部と、前記ソース領域の内周部とが、同心円周上に形成された円形状を有していてもよい。

前記ソース領域と前記ドレイン領域との間に形成されている前記ゲート電極の少なくとも一部が、円弧状の対称な形状を有していてもよい。

例えば、前記電界放出電子源部の前記引き出し電極に印加される第1の電圧 V_{ex} と前記電界効果トランジスタ部の前記ゲート電極に印加される第2の電圧 V_g との間に、 $V_g < V_{ex}$ なる関係が存在する。

本発明によれば、高い電界強度が集中するドレイン端部が低い不純物濃度のウエルで構成され、その結果極度な電界集中を緩和することが可能になり、デバイス動作の信頼性を向上させることができる。

ドレイン領域の不純物元素として、シリコン基板中での熱拡散速度の異なる少なくとも2種以上のn型不純物元素を用いることにより、熱拡散速度の違いを利用した2種以上のn型ウエルを、容易に形成することができる。

前記不純物元素として、熱拡散速度の早い磷元素及び熱拡散速度の遅い砒素元素を用いれば、不純物濃度の低いn-ウエルと不純物濃度の高いn+ウエルとを、容易に形成することができる。

また、本発明によれば、電界放出型電子源装置において、チャネルゲート電極

の一部がドレイン端領域を覆うことにより、ソースからドレインへ流れるドレイン電流がドレイン端領域で拡散され、結果として電流密度を低下させることができる。

5 また、本発明によれば、電界放出型電子源装置において、高電圧印加が必要とされる引き出し電極用の厚い絶縁膜と、低電圧駆動のために薄い絶縁膜が必要とされる電界効果トランジスタ用絶縁膜とを、機能的に分離することができる。また、ゲート絶縁膜が絶縁膜で埋め込まれた構成とすることにより、多層配線を形成することが可能になり、マトリックス駆動用の配線が容易に形成できる。

10 ゲート絶縁膜を、電界放出電子源部の陰極の先鋭化熱酸化処理工程で形成されたシリコン熱酸化膜から構成すれば、精密に制御された膜質の高い熱酸化膜を用いることにより、高い信頼性が得られるとともに、FETの制御を高精度に行うことができる。

15 更に、本発明によれば、電界放出型電子源装置において、電界効果トランジスタ部のチャネル領域をシールド電極で覆うことによって、外部電界からの影響を抑制することができる。また、ゲート電極と同一材料で構成されることにより、配線工程が簡略化できる。

20 シールド電極がp型シリコン基板と同電位に保持され、ゲート電極以外の外部電界からの電界の影響を遮断する機能を有する構成を付加すれば、シールド電極がp型シリコン基板電位と同電位に保持されるため、より確実に、外部電界からのシールド機能を発揮できる。

また、本発明によれば、電界放出型電子源装置において、ゲート電極等の電極配置をドレインを中心に平面的に対称設計することが可能になり、電子収束作用が容易になる。

25 更に、本発明によれば、ドレイン領域へのイオン注入による不純物導入工程が簡略化され、製造コストを低減できると同時に、陰極へのイオン注入による陰極形状ばらつき発生を抑制できる。

また、電界効果トランジスタ部のチャネル領域に接するドレインの外周部とソースの内周部とが、それぞれ同心円周上に形成された円形状を有する構成により、ソース領域からドレイン領域へのキャリア注入が均一化され、良好なトランジスタ特性が得られる。

- 5 ソース領域とドレイン領域との間に形成された、チャネル領域を制御するためのゲート電極の少なくとも一部が、円弧状の対称な形状を有する構成により、収束のための電極形状がドレインを中心に対称となり、より均一に収束動作を行うことができる。

- 10 更に、電界放出電子源部の引き出し電極に印加される第1の電圧 (V_{ex}) と電界効果トランジスタ部のゲート電極に印加される第2の電圧 (V_g) との間に、 $V_g < V_{ex}$ なる関係を有する構成により、電子の収束動作をより確実に行うことができる。

図面の簡単な説明

- 15 図1 (a) 及び (b) は、それぞれ、本発明の第1の実施形態における電界放出型電子源装置の構成を模式的に示す断面図及び平面図であり、図1 (a) は、(b) の I-I 線における断面構造を示す。

- 20 図2 (a) 及び (b) は、それぞれ、本発明の第2の実施形態における電界放出型電子源装置の構成を模式的に示す断面図及び平面図であり、図2 (a) は、(b) の I-I 線における断面構造を示す。

図3は、本発明の第3の実施形態における電界放出型電子源装置の構成を模式的に示す断面図である。

- 25 図4 (a) 及び (b) は、それぞれ、本発明の第4の実施形態における電界放出型電子源装置の構成を模式的に示す断面図及び平面図であり、図4 (a) は、(b) の I-I 線における断面構造を示す。

図5 (a) 及び (b) は、それぞれ、本発明の第5の実施形態における電界放

出型電子源装置の構成を模式的に示す断面図及び平面図であり、図5 (a) は、
(b) の I-I 線における断面構造を示す。

図6 (a) 及び (b) は、それぞれ、本発明の第6の実施形態における電界放
出型電子源装置の構成を模式的に示す断面図及び平面図であり、図6 (a) は、
5 (b) の I-I 線における断面構造を示す。

図7 (a) 及び (b) は、それぞれ、本発明の第7の実施形態における電界放
出型電子源装置の構成を模式的に示す断面図及び平面図であり、図7 (a) は、
(b) の I-I 線における断面構造を示す。

図8 (a) は、従来技術による電界放出型電子源装置の構成を模式的に示す断
面図であり、図8 (b) は、(a) の構成の等価回路図である。
10

図9は、従来技術による電界放出型電子源装置の構成を模式的に示す断面図で
ある。

発明を実施するための最良の形態

15 本発明の具体的な実施形態の説明に先立って、以下では、従来技術の電界放出
型電子源装置が有する課題に関する本願発明者の検討結果を説明する。なお、以
下に説明する従来技術における問題点は、当該技術分野において、従来は認識さ
れていなかった内容である。

まず、第1の従来例の問題点を説明する。

20 図8 (a) の構成で、ゲート808にゲートソース間制御電圧 V_{gs} を適当に
印加した状態で、つまりFETのチャネルゲートを開いた状態で、ゲート805
にゲート電圧 V_g を印加していくと、ある一定の電圧以上で電界放射陰極素子の
エミッタ先端から電界放射が発生し、エミッタ先端からアノード809へ向かっ
て電界放射電子が流れる。この時、FETのチャネル抵抗が十分高いために、電
25 界放射電子流量に応じてドレイン電位が上昇する。

このドレイン電位は、主にFETの設計パラメータであるチャネル抵抗と、動

作条件である電界放射電子流量との積に依存する。電界放射電子流量はFEDパネルの要求輝度に応じて設定されるが、通常、1画素あたり $1\mu\text{A}$ 程度に設定される。更に、電源電圧が3.5V程度の通常のFETを用いてミクロンレベルの微少な素子寸法を仮定した場合、ドレイン電位は数ボルト以上に上昇することが実験的に確認されている。また、FETの動作電圧を低く設計するためには、更にチャンネル抵抗を高く設計することが必要になり、また、輝度を高くするためには電界放射電子流量を増大させる必要があるが、これらによって、ドレイン電位は更に高くなると考えられる。

本願発明者らの検討によって、上記のようなドレイン電位の上昇は、電界放出型電子源装置の動作に幾つかの問題を引き起こすことが確認された。その一つは、ホットエレクトロン現象である。

ソースドレイン間の電位がシリコンのバンドギャップエネルギーの 1.1eV を超えた条件でFETを長時間動作させると、ソースドレイン間の電界により加速された電子が、ドレイン近傍のゲート絶縁膜界面に注入される現象が起きる。この注入された電子は、ゲート絶縁膜付近に留まってゲート電圧を打ち消す作用を引き起こしたり、またはゲート絶縁膜界面に界面準位を形成してゲート絶縁膜を介したリーク電流を発生させたり、様々なFET性能の劣化を引き起こす。

更に、FETの特性変化を引き起こす要因として、インバクトイオン化現象があることを、本願発明者らは見いだした。

すなわち、引き出し電極への電圧印加に伴ってソースドレイン電位が 10V 以上の極めて高い状態になると、高速に加速された電子が、平均自由行程中で大きな運動エネルギーを有することになる。このような大きな運動エネルギーを有する電子が散乱する際に、ホール・エレクトロンのペアを生成する。これによって発生したキャリアが次々に新たなキャリアを発生させる、いわゆる「なだれ増倍現象」が発生し、極めて大きな電流の変化（増加）を引き起こす。これは、最終的には、FETの素子破壊につながることも予想される。

これらの、ホットエレクトロンによるFET特性の劣化やインパクトイオン化によるFET特性変動や素子破壊等は、デバイスの長期信頼性動作にとって大きな障害となり、特に低電圧動作や素子の高集積化を進める上で、重大な問題となる。

5 一方で、FET素子近傍での高い外部電界の影響によるFET特性の変化の現象も存在する。

電界放射陰極素子のエミッタ先端から電界放射を発生させるためには、通常はゲートに数10V以上のゲート電圧 V_g を印加する必要がある。ここで、高精細なディスプレイを実現するために、高密度に電界放射陰極素子と対応するFET素子を集積化すると、ゲートとFETのチャネル部とが近接することにより、高いゲート電圧からの電界が、FETのチャネル部に影響を及ぼすことが予想される。この場合、上述の外部電界により見かけ上はチャネル抵抗が低下し、本来はFETのソースゲート間電圧 V_{sg} により安定に制御されていた電界放射電子流量が増加する現象を引き起こす。ゲート電圧 V_g が高く、ソースゲート間電圧 V_{sg} が低く、更に素子の集積密度が大になればなるほど、外部電界の影響を受ける危険性が増加する。この外部電界による電界放射電子流量の増大の問題も、安定なエミッション電流制御を妨げる要因となり、実用化を図る上で大きな障害となる。

次に、第2の従来例の問題点を説明する。

20 第2のゲート電極94に、第1のゲート電極92に対する負の電位を与えると、この負の電位は、エミッタから放出された電子だけでなく、エミッタ先端の引き出し電界にも作用する。引き出し電極の開口径が約 $1\mu\text{m}$ のエミッタの場合、十分な電界放出を得るためには、通常60V程度の電位を第1のゲート電極92に与える必要がある。

25 また、電子ビームの収束作用の効果を高めるためには、第2のゲート電極94に相対的に低い負の電位を与える必要があるが、実験的には、10V程度の電圧

印加で十分な収束作用が実証されている。ところが、この収束条件では、同時にエミッタから放出される電子の量が数分の1に低下することが、本願発明者らによる実験で確認された。

5 このように、第2の従来例の構成では、第2のゲート電極94に印加された電位が、第1のゲート電極92によって生成されたエミッタ先端部の電界強度を打ち消す効果をもたらし、結果的に、電界強度が弱められて電子放出量が低下する。この従来例の構成では、収束作用と電子放出量とはトレードオフの関係を有することになり、十分な電子放出量を維持したままで十分な収束を行うことができないという、本質的な問題を有していることが確認された。

10 以下では、従来技術に関する上記のような検討結果を考慮して達成された本発明の具体的な幾つかの実施形態について、添付の図面を参照しながら説明する。

(第1の実施形態)

15 以下、本発明の第1の実施形態に係る電界放出型電子源装置の構造について、図1(a)及び(b)を参照しながら説明する。図1(a)及び(b)は、それぞれ、本実施形態における電界放出型電子源装置の断面図及び平面図であり、図1(a)は、(b)のI-I線における断面構造を示す。

20 本実施形態の構成において、1はp型シリコン基板、2は電界効果トランジスタ(FET)として動作する素子のソース領域となる第1のn型半導体導電部、3はFETのドレイン領域となる不純物濃度の高い第2のn型半導体導電部、4はFETのドレイン領域となる不純物濃度の低い第3のn型半導体導電部、5は円形断面を持つタワー形状の電界放出型電子源として動作する陰極、6は電界放出型電子源及びFETのゲート絶縁膜として機能するシリコン酸化膜からなる絶縁層、7は電界放出型電子源として動作させるための引き出し電極、8はFET
25 のチャネル領域を制御するためのゲート電極、9はFET用のソース電極である。

図1 (a) 及び (b) に示すように、本実施形態における電界放出型電子源装置では、p型シリコン基板1の一方の主表面の一部には、FETのソースとなる第1のn型半導体導電部2及びドレインとなる第2のn型半導体導電部3がある距離を隔てて形成されており、更には、第2のn型半導体導電部3の周囲を囲むような位置に、不純物濃度の低い第3のn型半導体導電部4が選択的に形成されている。

この際、第2のn型半導体導電部3を形成するためのn型不純物元素として、シリコン基板中での熱拡散速度の早い磷を用い、第3のn型半導体導電部4を形成するためのn型不純物元素として、シリコン基板中での熱拡散速度の遅い砒素を用い、自己整合的に簡略に、且つ精度よく、前記で述べた不純物濃度の異なるウエル構造を形成することができる。これは、2種以上の異なる元素のイオン注入を同一マスクを用いて最適に注入したのちに熱処理を行う工程において、熱拡散速度の違いにより、不純物プロファイルが変化する原理を利用したものである。つまり、熱拡散速度が早い元素（磷等）は、熱拡散速度が遅い元素（砒素等）に比べて、注入当初の不純物プロファイルより、より深く且つより広く再分布する。

ドレインとなる第2のn型半導体導電部3の表面には、円形断面を持つタワー形状の陰極5が形成されている。シリコンよりなるタワー形状の陰極5の先端部は、熱酸化を利用した先鋭化プロセスにより、ナノメートルオーダの先端微構造部が形成されている。陰極5に近接して、円形状の開口を持つ酸化シリコン膜よりなる絶縁膜6を介して、導電性の引き出し電極7が形成されている。ソースとなる第1のn型半導体導電部2とドレインとなる第2のn型半導体導電部3及び第3のn型半導体導電部4との間に位置したFETのチャネル領域には、絶縁膜6の上にFET用のゲート電極8が形成されている。更に、ソースのn型半導体導電部2の上には、コンタクト窓を介してソース電極9が形成されている。

以下に、上記構成を有する本実施形態における電界放出型電子源装置の動作を

説明する。

p型シリコン基板1とソース領域となる第1のn型半導体導電部2とを接地接続し、引き出し電極7に正の電圧 V_{ex} を印加する。更に、FETのゲート電極8に所定の電圧 V_g を印加すると、ゲート電極8の下部のチャネル領域がオープン状態となり、ソースからドレイン方向に電子キャリアが注入される条件が整う。
5 この条件下で、引き出し電極7に正の電圧 V_{ex} を印加する。サブミクロンオーダーのゲート開口径とナノメートルオーダーの陰極先端部が形成された電界放出電子源では、通常数十ボルトの電圧印加により、陰極5の先端から電子が電界放出され始める。放出された電子は、図1(a)及び(b)には図示していないp型シリコン基板1と対向配置された陽極板へ向かって、加速されながら進行する。
10

この場合、陰極5から放出される電子流放射量は、引き出し電極7に印加される固定のゲート電圧 V_{ex} によって制御されるのではなく、陰極5に接続されるFETのゲート電極8に印加される可変ゲートソース間制御電圧 V_g によって制御される。即ち、FETは、そのゲート電極8に印加されるゲートソース間制御電圧 V_g を適切に選択することによって、定電流領域で動作するようになる。このように、陰極5から電界放射される電子流放射量は、このエミッタに直列に接続され放射される電子を供給する機能を持つFETの特性によって、決定される。従って、FETの設計を最適に行うことによって、FETの動作条件と電界放射電子流量とを、あらかじめ設計することが可能になる。特に、FETの飽和動作領域で電界放射を行うことで、エミッタ自身の不安定要因に影響されることなく、極めて安定で且つ正確に制御された電界放射電子流量を得ることができる。
15
20

ここで、第3のn型半導体導電部4の機能について詳細に説明する。

本実施形態のドレイン構造の特徴は、2種以上の不純物濃度を有する複数のドレインウエル構造（いわゆる、ツインウエル構造）を採用したことにある。電界放出される電子流は、FETのソースから基本的に供給されるが、ソースドレイン間のチャネル領域は高い抵抗を有するため、この電子流放射量、つまりチャネ
25

ル電流量に応じて、ドレイン電位が上昇する。サブミクロンプロセスで形成され、電源電圧が3.5ボルト程度で動作するFETの場合、1マイクロアンペア程度のチャンネル電流を想定すると、ドレイン電位は数ボルト以上に達することが実験で確認されている。このドレイン電位により生成されたチャンネル内電界により、

5 ソースから注入された電子は、加速されてドレインへ注入される。

ところが、チャンネル電界はチャンネル領域では均一には生成されず、シリコン基板表面のドレインの近傍付近に集中する。この結果、チャンネル内を走行する電子は、特にドレイン近傍での高い電界強度の影響を受けて、高いエネルギーを持った電子（ホットエレクトロン）となる。このホットエレクトロンは、ドレイン近傍での電界強度が大きいほど高いエネルギーを有することになり、例えばFETのON/OFF制御を行うしきい電圧の増加やドレイン電流の低下など、様々な問題を引き起こす可能性がある。

10

これに対して、本実施形態で述べたように第3のn型半導体導電部4をドレイン端に配置することにより、前述のホットエレクトロンによるFET性能の劣化を抑制することができる。

15

通常、ドレインは、高い不純物濃度であるために、ドレイン端でのpn接合はアブラプト接合（急峻な接合）に近くなる。しかし、本実施形態で述べたように、高い不純物濃度のドレインのn型半導体導電部3の周囲に、低い不純物濃度のn型半導体導電部4を配置することにより、ドレイン端でのpn接合が緩やかな接合となり、結果的にドレイン端での電界集中を緩和することができる。この効果により、ホットエレクトロンによるFETの性能劣化を引き起こす要因を除去でき、極めて安定に、且つ長期間にわたって安定なデバイス動作が保証できるため、デバイス信頼性を著しく向上できる。

20

尚、本実施形態の説明では、陰極5の形状としてタワー形状の例を述べたが、従来型の円錐型陰極形状でも同様の効果を得ることができる。また、陰極5の材料として、p型シリコン基板を加工して形成した例を用いたが、従来型の金属材料

25

料（モリブデンやタングステン等の高融点金属材料）や炭素系材料（ダイヤモンド、グラファイト、またはダイヤモンドライクカーボン等）を用いても、同様の効果を得ることができる。

5 （第2の実施形態）

以下、本発明の第2の実施形態に係る電界放出型電子源装置の構造について、図2（a）及び（b）を参照しながら説明する。図2（a）及び（b）は、それぞれ、本実施形態における電界放出型電子源装置の断面図及び平面図であり、図2（a）は、（b）のI-I線における断面構造を示す。

10 本実施形態の構成において、1はp型シリコン基板、2は電界効果トランジスタ（FET）として動作する素子のソース領域となる第1のn型半導体導電部、3はFETのドレイン領域となる不純物濃度の高い第2のn型半導体導電部、4はFETのドレイン領域となる不純物濃度の低い第3のn型半導体導電部、5は円形断面を持つタワー形状の電界放出型電子源として動作する陰極、6は電界放
15 出型電子源及びFETのゲート絶縁膜として機能するシリコン酸化膜からなる絶縁層、7は電界放出型電子源として動作させるための引き出し電極、8TはFETのチャネル領域を制御するためのT字型のゲート電極、9はFET用のソース電極である。

図2（a）及び（b）に示すように、本実施形態における電界放出型電子源装置では、p型シリコン基板1の一方の主表面の一部には、FETのソースとなる
20 n型半導体導電部2及びドレインとなるn型半導体導電部3が形成され、更に、n型半導体導電部3の周囲を囲むような位置に、不純物濃度の低いn型半導体導電部4が選択的に形成されている。

ドレインとなるn型半導体導電部3の表面には、円形断面を持つタワー形状の
25 陰極5が形成されている。シリコンよりなるタワー形状の陰極5の先端部は、熱酸化を利用した先鋭化プロセスによりナノメートルオーダの先端微構造部が形成

されている。陰極 5 に近接して、円形状の開口を持つ酸化シリコン膜よりなる絶縁膜 6 を介して、導電性の引き出し電極 7 が形成されている。ソースの n 型半導体導電部 2 とドレインの n 型半導体導電部 3 及び n 型半導体導電部 4 との間に位置した FET のチャンネル領域には、絶縁膜 6 の上に FET 用のゲート電極 8 T が形成されている。このゲート電極 8 T は、従来の単一幅を有するゲート電極構造と異なり、2 種以上の複数のゲート幅を有している（いわゆる T 字型ゲート構造）。ゲート電極 8 T の一部は、FET のチャンネル領域にありドレイン端に位置している不純物濃度の低い n 型半導体導電部 4 の表面を覆うように、配置されている。更に、ソースの n 型半導体導電部 2 の上には、コンタクト窓を介してソース電極 9 が形成されている。

以下に、上記構成を有する本実施形態における電界放出型電子源装置の動作を説明する。

p 型シリコン基板 1 とソースの n 型半導体導電部 2 とを接地接続し、引き出し電極 7 に正の電圧 V_{ex} を印加する。更に、FET のゲート電極 8 T に所定の電圧 V_g を印加すると、ゲート電極 8 T の下部のチャンネル領域がオープン状態となり、ソースからドレイン方向に電子キャリアが注入される条件が整う。この条件下で、引き出し電極 7 に正の電圧 V_{ex} を印加すると、サブミクロンオーダのゲート開口径とナノメートルオーダの陰極先端部が形成された電界放出電子源では、通常数十ボルトの電圧印加により陰極 5 の先端から電子が電界放出され始める。放出された電子は、図 2 には図示していない p 型シリコン基板 1 と対向配置された陽極板へ向かって、加速されながら進行する。

この場合、陰極 7 から放出される電子流放射量は、引き出し電極 7 に印加される固定のゲート電圧 V_{ex} によって制御されるのではなく、陰極 5 に接続される FET のゲート電極 8 T に印加される可変ゲートソース間制御電圧 V_g によって制御される。即ち、FET は、そのゲート電極 8 T に印加されるゲートソース間制御電圧 V_g を適切に選択することによって、定電流領域で動作するようになる。

このようにして陰極 5 から電界放射される電子流放出量は、このエミッタに直列に接続されて放射される電子を供給する機能を持つ FET の特性によって、決定される。従って、FET の設計を最適に行うことによって、FET の動作条件と電界放射電子流量とをあらかじめ設計することが可能になる。特に、FET の飽和動作領域で電界放射を行うことで、エミッタ自身の不安定要因には影響されず、結果として極めて安定で正確に制御された電界放射電子流量を得ることができる。

ここで、2 種以上の異なるゲート幅を有し、且つドレイン端領域を覆うように配置されたゲート電極 8 T の機能について、詳細に説明する。

電界放出される電子流は、FET のソースから基本的に供給される。ソースドレイン間のチャネル領域は高い抵抗を有するため、この電子流放射量、つまりチャネル電流量に応じて、ドレイン電位が上昇する。サブミクロンプロセスで形成され、電源電圧が 3.5 ボルト程度で動作する FET の場合、1 マイクロアンペア程度のチャネル電流を想定すると、ドレイン電位は数ボルト以上に達することが実験で確認されている。このドレイン電位により生成されたチャネル内電界により、ソースから注入された電子は加速されて、ドレインへ注入される。

ところが、チャネル電界はチャネル領域では均一には生成されず、シリコン基板表面のドレインの近傍付近に集中する。この結果、チャネル内を走行する電子は、特にドレイン近傍での高い電界強度の影響を受けて、高いエネルギーを持った電子（ホットエレクトロン）となる。このホットエレクトロンは、ドレイン近傍での電界強度が大きいほど高いエネルギーを有することになり、例えば FET の ON/OFF 制御を行うしきい電圧の増加やドレイン電流の低下など、様々な問題を引き起こす可能性がある。

これに対して、本実施形態で述べたゲート電極 8 T（いわゆる T 字型ゲート構造）をドレイン端を覆うように配置することにより、前述のホットエレクトロンの現象を抑制することができる。

図2 (b) で示すように、ゲート電極8 Tの一方の端部がドレイン端領域のn型半導体導電部4を覆うように配置すると、FETのソースから注入された電子は、ゲート電極8 Tの下部領域に形成されたチャネルに沿って進行するため、前述のn型導電部領域では電流経路が拡大される。その結果、ゲート電極8 Tのド
5 レイン端領域では、それ以外の領域に比べてドレイン電流密度が大きく低下することになる。ホットエレクトロン現象は、電界強度とともにドレイン電流密度に依存するため、上記の結果、ホットエレクトロンによるFETの性能劣化を大きく低減できる効果を有する。

更に、本実施形態で述べた複数の幅を有するゲート電極構造（いわゆるT字型
10 ゲート構造）は、設計の自由度の点でも効果がある。

FETのチャネルを流れるドレイン電流量は、ゲート電極の幅（W）と長さ（L）とのパラメータ（W/L）に依存して決まる。ドレインの幅は、素子全体の集積度や配置によって必然的に決まる要素が多いため、ゲート電極の幅（W）を自由に設計することは困難な場合が多い。しかし、本実施形態で述べたT字型
15 ゲート構造を採用することによって、ドレイン端領域を覆うようにゲートの一部を配置した後に、残りのゲート部分で幅（W）と（L）の素子寸法を自由に設定できることになり、デバイス設計の自由度が向上することになる。

この効果により、素子設計の自由度を確保しながら、ホットエレクトロンによるFETの性能劣化を引き起こす要因を除去でき、極めて安定に、且つ長期間に
20 わたって安定なデバイス動作が保証できるため、デバイス信頼性を著しく向上できる。

尚、本実施形態の説明では、陰極5の形状としてタワー形状の例を述べたが、従来型の円錐型陰極形状でも同様の効果を得ることができる。また、陰極5の材料として、p型シリコン基板を加工して形成した例を用いたが、従来型の金属材料（モリブデンやタングステン等の高融点金属材料）や炭素系材料（ダイヤモンド、グラファイト、またはダイヤモンドライクカーボン等）を用いても、同様の
25

効果を得ることができる。

(第3の実施形態)

以下、本発明の第3の実施形態に係る電界放出型電子源装置の構造について、
5 図3を参照しながら説明する。図3は、本実施形態における電界放出型電子源装置の断面図である。

本実施形態の構成において、31はp型シリコン基板、32は電界効果トランジスタ(FET)として動作する素子のソース領域となる第1のn型半導体導電部、33はFETのドレイン領域となる不純物濃度の高い第2のn型半導体導電部、34はFETのドレイン領域となる不純物濃度の低い第3のn型半導体導電部、35は円形断面を持つタワー形状の電界放出型電子源として動作する陰極、36はFETのゲート絶縁膜として機能するシリコン酸化膜からなる下部絶縁層、37は電界放出型電子源用引き出し電極として機能させるシリコン酸化膜からなる上部絶縁層、38は電界放出型電子源として動作させるための引き出し電極、
10 39はFETのチャネル領域を制御するためのゲート電極、40はFET用のソース電極である。

図3に示したように、本実施形態における電界放出型電子源装置では、p型シリコン基板31の一方の主表面の一部に、FETのソースとなるn型半導体導電部32及びドレインとなるn型半導体導電部33が形成され、更に、n型半導体導電部33の周囲を囲むような位置に、不純物濃度の低いn型半導体導電部34が選択的に形成されている。
20

ドレインとなるn型半導体導電部33の表面には、円形断面を持つタワー形状の陰極35が形成されている。シリコンよりなるタワー形状の陰極35の先端部は、熱酸化を利用した先鋭化プロセスにより、ナノメートルオーダの先端微構造部が形成されている。陰極35に近接して、円形状の開口を持つ酸化シリコン膜よりなる下部絶縁膜36及び上部絶縁膜37を介して、導電性の引き出し電極3
25

8が形成されている。ソースのn型半導体導電部32とドレインのn型半導体導電部33及びn型半導体導電部34との間に位置したFETのチャネル領域には、下部絶縁膜36の上にあって上部絶縁膜37に埋め込まれた構成を有するFET用のゲート電極39が、形成されている。下部絶縁膜36は、陰極35の先鋭化プロセスで形成した熱酸化膜を用いている。更に、ソースのn型半導体導電部32の上には、コンタクト窓を介して、ソース電極40が形成されている。

以下に、上記構成を有する本実施形態における電界放出型電子源装置の動作を説明する。

p型シリコン基板31と第1のn型半導体導電部32とを接地接続し、引き出し電極38に正の電圧 V_{ex} を印加する。更に、FETのゲート電極39に所定の電圧 V_g を印加すると、ゲート電極39の下部のチャネル領域がオープン状態となり、ソースからドレイン方向に電子キャリアが注入される条件が整う。下部絶縁膜36は、FETのしきい電圧を低減するために、良質で薄い条件が望ましい。

この条件下で、引き出し電極38に正の電圧 V_{ex} を印加する。サブミクロンオーダのゲート開口径とナノメートルオーダの陰極先端部とが形成された電界放出電子源では、通常数十ボルトの電圧印加により、陰極35の先端から電子が電界放出され始める。放出された電子は、図3には図示はしていないp型シリコン基板31と対向配置された陽極板へ向かって、加速されながら進行する。

この場合、陰極35から放出される電子流放射量は、引き出し電極38に印加される固定のゲート電圧 V_{ex} によって制御されるのではなく、陰極35に接続されるFETのゲート電極39に印加される可変ゲートソース間制御電圧 V_g によって制御される。即ち、FETは、そのゲート電極39に印加されるゲートソース間制御電圧 V_g を適切に選択することにより、定電流領域で動作するようになる。このように、陰極35から電界放射される電子流放射量は、このエミッタに直列に接続され放射される電子を供給する機能を持つFETの特性によって、